

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11345875 A**(43) Date of publication of application: **14.12.99**

(51) Int. Cl.

H01L 21/768(21) Application number: **10151552**(71) Applicant: **NEC CORP**(22) Date of filing: **01.06.98**(72) Inventor: **OKADA NORIO**

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF AND PHOTO MASK USED FOR THE SEMICONDUCTOR DEVICE**

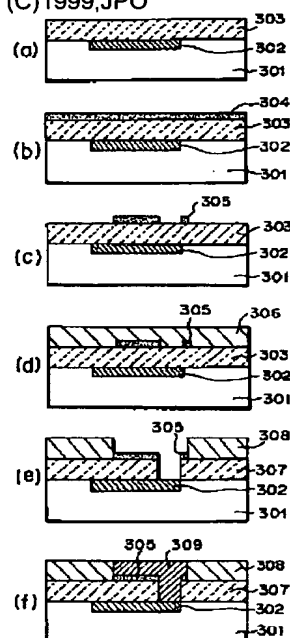
by selectively filling the via and wiring grooves with a conductive material.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the inter-wiring capacitance between wirings of identical layers and between wirings of different layers in a semiconductor device.

SOLUTION: This method comprises the steps of forming a first interlayer insulating film 303 on a first wiring layer in which a first wiring 302 is formed, forming an etching stopper film 304 using a film of a type different from that of the first interlayer insulating film 303, patterning the etching stopper film 304 into a combined pattern of a first pattern for via formed on the first interlayer insulating film 303 and a second pattern for a second wiring, forming a second interlayer insulating film 306 in which the second wiring is formed, forming wiring grooves for the second wiring by etching the second interlayer insulating film 306 into a second pattern and forming via by etching the first interlayer insulating film 303 using the patterned etching stopper film 305 as a mask, and forming the second wiring 309 connected with the first wiring 302,



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345875

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁸

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

A

V

審査請求 有 請求項の数17 O L (全 8 頁)

(21) 出願番号 特願平10-151552

(22) 出願日 平成10年(1998)6月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岡田 紀雄

東京都港区芝五丁目7番1号 日本電気株式会社内

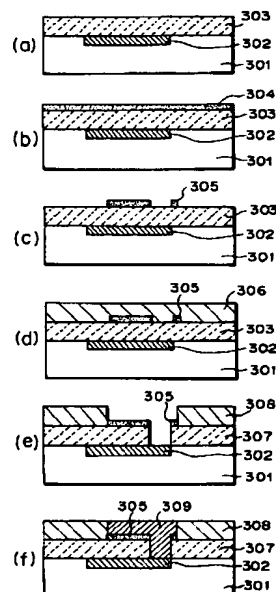
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 半導体装置及びその製造方法及びそれに用いるフォトマスク

(57) 【要約】

【課題】 半導体装置の同層間及び異層間の配線間容量を低減する。

【解決手段】 第1配線302が形成された第1配線層上に第1層間絶縁膜303を形成する工程と、第1層間絶縁膜303とは異なる膜種にてエッチングストッパー膜304を形成する工程と、第1層間絶縁膜303に形成されるビアに対応する第1パターンと第2配線に対応する第2パターンとの合成パターンにエッチングストッパー膜304をパターンニングする工程と、第2配線が形成される第2層間絶縁膜306を形成する工程と、第2層間絶縁膜306を第2パターンにエッチングして第2配線のための配線溝を形成し、更に、第1層間絶縁膜303をパターン状エッチングストッパー膜305をマスクとしてエッチングしてビアを形成する工程と、ビアと配線溝とに選択的に導電性材料を埋設することで第1配線302と接続された第2配線309を形成する工程とを含む。



【特許請求の範囲】

【請求項1】 第1の配線が形成された第1の配線層の上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜とは異なる膜種にてエッチングストッパー膜を形成する工程と、前記第1の層間絶縁膜に形成されるビアに対応する第1パターンと第2の配線に対応する第2パターンとの合成パターンに前記エッチングストッパー膜をパターンニングする工程と、前記第2の配線が形成される第2の層間絶縁膜を形成する工程と、該第2の層間絶縁膜を前記第2パターンにエッチングして前記第2の配線のための配線溝を形成し、更に、前記第1の層間絶縁膜をパターンニングされた前記エッチングストッパー膜をマスクとしてエッチングして前記ビアを形成する工程と、該ビアと前記配線溝とに選択的に導電性材料を埋設することで前記第1の配線と接続された前記第2の配線を形成する工程とを含むことを特徴とする、半導体装置の製造方法。

【請求項2】 前記第1の層間絶縁膜及び前記第2の層間絶縁膜としてシリコン酸化膜を用いることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記エッチングストッパー膜として絶縁膜を用いることを特徴とする、請求項1～2のいずれかに記載の半導体装置の製造方法。

【請求項4】 前記エッチングストッパー膜として前記第1の層間絶縁膜及び前記第2の層間絶縁膜より誘電率の大きい絶縁膜を用いることを特徴とする、請求項3に記載の半導体装置の製造方法。

【請求項5】 前記エッチングストッパー膜として無機絶縁膜を用いることを特徴とする、請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記エッチングストッパー膜としてシリコン窒化膜またはシリコン酸素窒化膜を用いることを特徴とする、請求項5に記載の半導体装置の製造方法。

【請求項7】 前記エッチングストッパー膜として導電膜を用いることを特徴とする、請求項1～2のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記導電膜として金属膜または金属複合膜を用いることを特徴とする、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記導電膜の材料として前記ビア及び前記配線溝に埋設される導電性材料と同一の材料を用いることを特徴とする、請求項7～8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記配線溝と前記ビアとを形成した後に前記エッチングストッパー膜をエッチング除去する工程を含むことを特徴とする、請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記エッチングストッパー膜として有機絶縁膜を用いることを特徴とする、請求項1～4及び10のいずれかに記載の半導体装置の製造方法。

【請求項12】 前記有機絶縁膜として感光性有機絶縁膜を用いることを特徴とする、請求項11に記載の半導体装置の製造方法。

【請求項13】 請求項1～12のいずれかに記載の半導体装置の製造方法でのエッチングの際に使用されるフォトマスクであって、前記第1の層間絶縁膜に形成されるビアに対応する抜きパターンたる第1パターンと前記第2の配線に対応する残しパターンたる第2パターンとの合成パターンを有することを特徴とする、フォトマスク。

【請求項14】 半導体基板上に配線構造を有する半導体装置であって、前記配線構造において、第1の配線層の上に層間絶縁膜を介して形成された第2の配線層を有しており、前記第1の配線層の配線と前記第2の配線層の配線とが前記層間絶縁膜に形成されたビアに充填された導電部材を介して接続されており、前記第2の配線層の配線と前記層間絶縁膜との間には前記層間絶縁膜の材料の誘電率とは異なる大きさの誘電率をもつ材料からなる異誘電率膜が介在しており、該異誘電率膜は前記ビアの領域を除く前記第2の配線層の配線の領域に形成されていることを特徴とする、半導体装置。

【請求項15】 前記異誘電率膜の材料の誘電率は前記層間絶縁膜の材料の誘電率より大きいことを特徴とする、請求項14に記載の半導体装置。

【請求項16】 前記異誘電率膜は導電膜であることを特徴とする、請求項14に記載の半導体装置。

【請求項17】 前記導電膜は金属膜または金属複合膜であることを特徴とする、請求項16に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の技術分野に属するものであり、特に半導体基板上での配線構造の形成に特徴を有する半導体装置の製造方法及びそれに用いるフォトマスク、並びに半導体基板上の配線構造に特徴を有する半導体装置に関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】半導体装置においては、半導体基板上の配線構造の微細化が進むにつれて、同層間配線容量が大きな問題となってきた。また、多層配線を用いる場合には、異層間配線容量も問題となる。

【0003】半導体装置の配線構造を形成するための一手法として、層間絶縁膜に所望パターン状に溝を形成し該溝を金属などの導電性材料で埋める溝配線加工技術が用いられる。この溝配線加工技術においては、形成される溝の深さを均一にするためにエッチングストッパー膜を形成することがよいとされており、エッチングストッパー膜としては一般に絶縁膜であるシリコン窒化膜を利用している（米国特許第4789648号明細書）。

10

20

30

40

50

【0004】図6に、以上のようなエッチングストッパー膜を用いた溝配線加工技術による半導体装置の製造の従来例を示す。

【0005】先ず、図6(a)に示すように、表面にパターンニングされた第1の配線202からなる第1の配線層を有する半導体基板201上に、第1の層間絶縁膜203を形成する。次に、図6(b)に示すように、その上にエッチングストッパー膜（たとえばシリコン窒化膜）204を形成する。次に、図6(c)に示すように、エッチングストッパー膜204を、所望領域（第1の層間絶縁膜203に後述のビアが形成される領域）のみ選択的にエッチング除去して開口を形成することで、開口付きエッチングストッパー膜205とする。次に、図6(d)に示すように、その上に第2の層間絶縁膜206を形成する。次に、図6(e)に示すように、第2の層間絶縁膜206を、その所望領域をエッチングにより除去して第2の配線のための溝パターンを形成し、パターン状第2層間絶縁膜208とする。その際、第1の層間絶縁膜203を、開口付きエッチングストッパー膜205をマスクとしてエッチングして第1の配線202に至るビアホール（以下、単に「ビア」と記す）を形成し、パターン状第1層間絶縁膜207とする。以上のようにして形成された第2の配線溝パターンとビアとを金属材料で埋めることで、配線構造が形成される。

【0006】ところが、エッチングストッパー膜として一般に使用される絶縁膜であるシリコン窒化膜（シリコン窒素酸化膜を含む〔以下同様〕：以下、単に「窒化膜」と記す）の誘電率は、層間絶縁膜として一般に使用されているシリコン酸化膜（以下、単に「酸化膜」と記す）よりも大きいことが知られている。このため、上記従来の技術では配線構造中に残留した高誘電率のエッチングストッパー膜205が同層の配線間に延在することになるので、同層配線間の寄生容量が増大するという問題がある。また、配線構造中に残留した高誘電率のエッチングストッパー膜205が隣接する異層配線間に介在することになるので、異層配線間の寄生容量も増大するという問題がある。このような問題は、配線構造の微細化が進むにつれて顕著となる。

【0007】そこで、本発明は、以上のような従来技術の問題点に鑑み、溝配線加工技術を用いて均一性良好な膜厚の配線層を形成しつつ、配線間寄生容量の低減された微細な配線構造を有する半導体装置を工程複雑化を招くことなく製造することを可能にすることにある。

【0008】

【課題を解決するための手段】本発明によれば、以上の如き目的を達成するものとして、第1の配線が形成された第1の配線層の上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜とは異なる膜種にてエッチングストッパー膜を形成する工程と、前記第1の層間絶縁膜に形成されるビアに対応する第1パターンと第2の配線に

対応する第2パターンとの合成パターンに前記エッチングストッパー膜をパターンニングする工程と、前記第2の配線が形成される第2の層間絶縁膜を形成する工程と、該第2の層間絶縁膜を前記第2パターンにエッチングして前記第2の配線のための配線溝を形成し、更に、前記第1の層間絶縁膜をパターンニングされた前記エッチングストッパー膜をマスクとしてエッチングして前記ビアを形成する工程と、該ビアと前記配線溝とに選択的に導電性材料を埋設することで前記第1の配線と接続された前記第2の配線を形成する工程とを含むことを特徴とする、半導体装置の製造方法、が提供される。

【0009】尚、本発明において、第1の配線には、半導体基板などの基板に形成された配線はもちろんのこと、該半導体基板などの基板に形成されたトランジスタ、ダイオード及びコンデンサなどの各種機能素子の一部例えば電極そのもの、更には複数層配線を構成する最上層配線以外の層の配線も含まれる。従って、本発明において、第1の配線層は、以上のような第1の配線を有する層であり、基板自体あるいはその一部であってもよい。以下、同様である。

【0010】本発明の一態様においては、前記第1の層間絶縁膜及び前記第2の層間絶縁膜としてシリコン酸化膜を用いる。

【0011】本発明の一態様においては、前記エッチングストッパー膜として絶縁膜を用いる。

【0012】本発明の一態様においては、前記エッチングストッパー膜として前記第1の層間絶縁膜及び前記第2の層間絶縁膜より誘電率の大きい絶縁膜を用いる。

【0013】本発明の一態様においては、前記エッチングストッパー膜として無機絶縁膜を用いる。

【0014】本発明の一態様においては、前記エッチングストッパー膜としてシリコン窒化膜またはシリコン酸素窒化膜を用いる。

【0015】本発明の一態様においては、前記エッチングストッパー膜として導電膜を用いる。

【0016】本発明の一態様においては、前記導電膜として金属膜または金属複合膜を用いる。

【0017】本発明の一態様においては、前記導電膜の材料として前記ビア及び前記配線溝に埋設される導電性材料と同一の材料を用いる。

【0018】本発明の一態様においては、前記配線溝と前記ビアとを形成した後に前記エッチングストッパー膜をエッチング除去する工程を含む。

【0019】本発明の一態様においては、前記エッチングストッパー膜として有機絶縁膜を用いる。

【0020】本発明の一態様においては、前記有機絶縁膜として感光性有機絶縁膜を用いる。

【0021】また、本発明によれば、前記半導体装置の製造方法でのエッチングの際に使用されるフォトリソマスクであって、前記第1の層間絶縁膜に形成されるビアに対

10

20

30

40

50

応する抜きパターンたる第1パターンと前記第2の配線に対応する残しパターンたる第2パターンとの合成パターンを有することを特徴とする、フォトリソ、が提供される。

【0022】更に、本発明によれば、半導体基板上に配線構造を有する半導体装置であって、前記配線構造において、第1の配線層の上に層間絶縁膜を介して形成された第2の配線層を有しており、前記第1の配線層の配線と前記第2の配線層の配線とが前記層間絶縁膜に形成されたビアに充填された導電部材を介して接続されてお

り、前記第2の配線層の配線と前記層間絶縁膜との間には前記層間絶縁膜の材料の誘電率とは異なる大きさの誘電率をもつ材料からなる異誘電率膜が介在しており、該異誘電率膜は前記ビアの領域を除く前記第2の配線層の配線の領域に形成されていることを特徴とする、半導体装置、が提供される。

【0023】本発明の一態様においては、前記異誘電率膜の材料の誘電率は前記層間絶縁膜の材料の誘電率より大きい。

【0024】本発明の一態様においては、前記異誘電率膜は導電膜である。

【0025】本発明の一態様においては、前記導電膜は金属膜または金属複合膜である。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照しながら説明する。

【0027】＜実施形態1＞図1は、本発明の半導体装置の製造方法の第1の実施形態の製造工程を示すための断面図である。本実施形態では、半導体基板としてシリコン基板を用いており、層間絶縁膜としてシリコン酸化膜を用いており、エッチングストッパー膜としてシリコン窒化膜を用いている。

【0028】まず、図1(a)に示すように、トランジスタ、ダイオード及びコンデンサなどの各種機能素子が作り込まれ且つ表面にパターニングされた第1の配線（トランジスタ、ダイオード及びコンデンサなどの各種機能素子の電極部のみであってもよい：以下の実施形態において同様）302からなる第1の配線層を有する半導体基板（シリコン基板）301上に、第1の層間絶縁膜（酸化膜）303を形成する。この第1の層間絶縁膜303の表面平坦化が必要であれば、化学的機械的研磨法（以下、「CMP法」と略す）により平坦化処理を施してもよい。

【0029】次に、図1(b)に示すように、その上に、後述の第2の配線のための溝エッチングの際のエッチングストッパー膜（窒化膜）304を形成する。このエッチングストッパー膜304の膜厚は、第1の層間絶縁膜303とのエッチング選択比に応じて所望値に設定すればよい。

【0030】次に、図1(c)に示すように、エッチング

ストッパー膜304を、所望領域（第1の層間絶縁膜303に後述のビアホール（ビア）が形成される第1の領域、及び後述の第2の層間絶縁膜306に第2の配線を形成すべき領域を除く第2の領域）のみ選択的にエッチング除去してパターニングすることで、パターン状エッチングストッパー膜305とする。このパターン状エッチングストッパー膜305の形成に際しては、エッチングストッパー膜304を先ず第1のパターン（ビアに対応する抜きパターン）でエッチングした後、第2のパターン（第2の配線に対応する残しパターン）でエッチングすることができる。第1のパターンの領域は第2のパターンの領域の内側に存在する。尚、これら第1の抜きパターンでのエッチング及び第2の残しパターンでのエッチングの順番は逆でもよい。

【0031】次に、図1(d)に示すように、その上に第2の層間絶縁膜（酸化膜）306を形成する。その際、エッチングストッパー膜305の段差が第2の層間絶縁膜306に第2の配線を形成する配線溝パターニングに問題を生じさせないようにするには、CMP法により第2の層間絶縁膜306の表面を平坦化しておくのが好ましい。

【0032】次に、図1(e)に示すように、第2の層間絶縁膜306の所定領域（前記第2の残しパターンに対応する領域）を異方性エッチングにより除去して第2の配線のための溝パターンを形成する。これにより、パターン状第2層間絶縁膜308が形成され、パターン状エッチングストッパー膜305の全体が露出する。そして、第1の層間絶縁膜303に対してパターン状エッチングストッパー膜305をマスクとするエッチングがなされ、所定領域（前記の第1の抜きパターンに対応する領域）にて第1の配線302に至るビアが形成される。これにより、パターン状第1層間絶縁膜307が形成される。

【0033】次に、図1(f)に示すように、配線溝パターン及びビアを銅、アルミニウム等の金属で埋め、必要に応じてCMPすることで、ビアメタルで第1の配線302と接続された第2の配線309が形成される。

【0034】以上のようにして得られる半導体装置では、その配線構造において第2の配線309に対応する領域以外にはエッチングストッパー膜305が残留していないので、同層の配線の間には高誘電率エッチングストッパー膜が介在せず、従って同層配線間の寄生容量は低減されている。また、第2の配線309に対応する領域以外にはエッチングストッパー膜305が残留していないことにより、異層配線間での高誘電率エッチングストッパー膜の面積が低減されており、従って異層配線間の寄生容量も低減されている。

【0035】＜実施形態2＞図2は、前記実施形態1の変形例たる実施形態2において使用されるフォトリソの説明のための模式図である。

【0036】実施形態1においては、2回に分けてエッチングストッパー膜304をパターンニングしたが、本実施形態2では、図2に示すようなレチクル（フォトマスク）を使用することで、一度のパターンニング加工でパターン状エッチングストッパー膜305を形成することができる。

【0037】図2(a)に示すレチクル401は、前記第1のパターン（ビアに対応する抜きパターン）と、前記第2のパターン（第2の配線に対応する残しパターン）とを合成することで形成した合成パターンを有する。

【0038】フォトリソグラフィで使用するフォトレジストがポジ型レジストであるとして、レチクル401上において、高い透過率の領域を領域A（論理値0）とし、それ以外の領域Aより小さい透過率の領域を領域B（論理値1）と呼ぶこととする。

【0039】図2(b)に示すように、第1のパターンではビア開口領域402を領域Aとしており、図2(c)に示すように、第2のパターンでは第2の配線の領域403を領域Bとしており、各パターンにおいて、それ以外の領域をそれぞれ領域B、領域Aとしている。

【0040】図4(a)のレチクル401の合成パターンは、図4(b)のパターンと図4(c)のパターンとの論理合成により得られるパターンであり、第2配線領域であり且つビア開口領域でないところが領域Bとされ、それ以外が領域Aとされている。

【0041】レチクル401においては、第2配線領域403やビア開口領域402は、使用する寸法に併せてマスク補正をおこなってもよい。また、近年の微細化にともなうリソグラフィ工程における目合わせ精度との兼ね合いから配線領域403の太らせ等の補正を行ってもよい。

【0042】＜実施形態3＞図3は、本発明の半導体装置の製造方法の第3の実施形態の製造工程を示すための断面図である。本実施形態では、半導体基板としてシリコン基板を用いており、層間絶縁膜としてシリコン酸化膜を用いており、エッチングストッパー膜として有機絶縁膜例えばポリイミド膜を用いている。

【0043】図3(a)から図3(d)までの工程を、前記実施形態1の図1(a)から図1(d)までの工程と同様に行い、第1の配線502からなる第1の配線層を有する半導体基板501上に第1の層間絶縁膜503を形成し、その上にエッチングストッパー膜（ポリイミド膜）504をパターンニング（実施形態2のレチクルを使用して1度にパターンニングを行ってもよい）したパターン状エッチングストッパー膜505を形成し、その上に第2の層間絶縁膜506を形成する。

【0044】次に、図3(e)に示すように、第2の層間絶縁膜506の所定領域（前記第2の残しパターンに対応する領域）を異方性エッチングにより除去して第2の配線のための溝パターンを形成する。これにより、パタ

ーン状第2層間絶縁膜508が形成され、パターン状エッチングストッパー膜505の全体が露出する。そして、第1の層間絶縁膜503に対してパターン状エッチングストッパー膜505をマスクとするエッチングがなされ、所定領域（前記の第1の抜きパターンに対応する領域）にて第1の配線502に至るビアが形成される。これにより、パターン状第1層間絶縁膜507が形成される。

【0045】また、第2の配線のための溝パターン形成の際にレジストを用いた場合、溝パターン形成及びビア形成の終了後にレジストを除去する工程において酸素プラズマを用いることで、パターン状エッチングストッパー膜505も同時に除去できる。

【0046】次に、図3(f)に示すように、配線溝パターン及びビアを銅、アルミニウム等の金属で埋め、必要に応じてCMPすることで、ビアメタルで第1の配線502と接続された第2の配線509が形成される。

【0047】以上のようにして得られる半導体装置では、その配線構造においてエッチングストッパー膜505が残留していないので、同層配線間及び異層配線間には高誘電率エッチングストッパー膜が介在せず、従って同層配線間及び異層配線間の寄生容量は十分に低減されている。

【0048】＜実施形態4＞図4は、本発明の半導体装置の製造方法の第4の実施形態の製造工程を示すための断面図である。本実施形態では、半導体基板としてシリコン基板を用いており、層間絶縁膜としてシリコン酸化膜を用いており、エッチングストッパー膜として感光性樹脂からなる有機絶縁膜例えばポジ型感光性ポリイミド膜を用いている。これにより、さらに製造工程の簡略化を図っている。

【0049】本実施形態は、前記実施形態3と同様に行う。尚、図4において、601は半導体基板であり、602は第1の配線であり、603は第1の層間絶縁膜であり、604はエッチングストッパー膜（ポジ型感光性ポリイミド膜）であり、605はパターン状エッチングストッパー膜であり、606は第2の層間絶縁膜であり、607はパターン状第1層間絶縁膜であり、608はパターン状第2層間絶縁膜であり、609は第2の配線である。

【0050】但し、エッチングストッパー膜604のパターンニングは、実施形態2のレチクルを使用して1度に行う。必要に応じてポリイミドベークを行ってもよい。

【0051】ポジ型感光性ポリイミドからなるエッチングストッパー膜604の膜厚は、第1の層間膜603とのエッチング選択比や成膜ばらつきの精度に応じて、及びポジ型感光性ポリイミド膜の解像度が許す範囲で所望の膜厚に設定すればよい。

【0052】また、第2の配線のための溝パターン形成の際にレジストを用いた場合、溝パターン形成及びビア

形成の終了後にレジストを除去する工程において酸素プラズマを用いることで、パターン状エッチングストッパー膜605も同時に除去できる。

【0053】以上のようにして得られる半導体装置では、その配線構造においてエッチングストッパー膜505が残留していないので、同層配線間及び異層配線間には高誘電率エッチングストッパー膜が介在せず、従って同層配線間及び異層配線間の寄生容量は十分に低減されている。

【0054】＜実施形態5＞図5は、本発明の半導体装置の製造方法の第5の実施形態の製造工程を示すための断面図である。本実施形態では、半導体基板としてシリコン基板を用いており、層間絶縁膜としてシリコン酸化膜を用いており、エッチングストッパー膜として金属膜または金属複合膜などの導電膜を用いている。このような導電膜としては例えばチタン膜、タンタル膜、ポリシリコン膜、窒化チタン膜や、チタン膜と窒化チタン膜との積層膜を用いることができる。

【0055】本実施形態は、前記実施形態1と同様に行う。尚、図5において、701は半導体基板であり、702は第1の配線であり、703は第1の層間絶縁膜であり、704はエッチングストッパー膜（チタン膜）であり、705はパターン状エッチングストッパー膜であり、706は第2の層間絶縁膜であり、707はパターン状第1層間絶縁膜であり、708はパターン状第2層間絶縁膜であり、709は第2の配線である。

【0056】尚、エッチングストッパー膜704のパターニングは、実施形態2のレチクルを使用して1度に行うことができる。

【0057】チタン膜などの導電膜からなるエッチングストッパー膜704の膜厚は、第1の層間絶縁膜703とのエッチング選択比に応じて適宜設定すればよい。但し、下層構造（第1の配線層）との目合せの関係上、エッチングストッパー膜704の膜厚は1000Å以下であるのが好ましい。またエッチングストッパー膜704の材質は、パターン状エッチングストッパー膜705が第2の配線の一部を構成するように残留するので、配線の信頼性上好ましいものを選ぶようにする。エッチングストッパー膜の材料は、第2配線709と異なる導電性材料であってもよいし、第2配線709と同一の導電性材料であってもよい。

【0058】以上のようにして得られる半導体装置では、その配線構造において同層配線間及び異層配線間には高誘電率のエッチングストッパー膜は介在せず、従って同層配線間及び異層配線間の寄生容量は十分に低減されている。

【0059】また、エッチングストッパー膜として金属膜や金属複合膜などの導電膜を使用することで、第1の層間絶縁膜のエッチングの際のエッチング選択比を極めて大きくすることができ、第1の層間絶縁膜のパターニ

ング精度を向上させることができる。

【0060】以上の実施形態では第1の配線層が半導体基板の一部を構成する場合が示されているが、本発明では第1の配線層として複数層配線の最上層となる配線層以外の配線層を用いることもできる。

【0061】

【発明の効果】以上説明したように、本発明によれば、エッチングストッパー膜は最大でも第2の配線に対応する領域にしか残留させないので、同層配線間にエッチングストッパー膜が介在せず、しかも異層配線間でのエッチングストッパー膜の面積が低減されているので、エッチングストッパー膜として高誘電率のものを使用した場合でも同層配線間及び異層配線間の寄生容量の低減された半導体装置が提供される。

【0062】また、本発明によれば、最大でも第2の配線に対応する領域にしかエッチングストッパー膜を残留させないので、エッチングストッパー膜として導電膜を使用し、しかも同層及び異層の配線間容量を十分に低減しつつ導電膜を第2の配線の一部として残留させた半導体装置を提供することが可能となる。

【0063】また、本発明のフォトマスクによれば、以上のような半導体装置の製造工程を簡易化することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の第1の実施形態の製造工程を示すための断面図である。

【図2】本発明の半導体装置の製造方法の第2の実施形態において使用されるフォトマスクの説明のための模式図である。

【図3】本発明の半導体装置の製造方法の第3の実施形態の製造工程を示すための断面図である。

【図4】本発明の半導体装置の製造方法の第4の実施形態の製造工程を示すための断面図である。

【図5】本発明の半導体装置の製造方法の第5の実施形態の製造工程を示すための断面図である。

【図6】従来の半導体装置の製造方法の製造工程を示すための断面図である。

【符号の説明】

301, 501, 601, 701	半導体基板
302, 502, 602, 702	第1の配線
303, 503, 603, 703	第1の層間絶縁膜
304, 504, 604, 704	エッチングストッパー膜
305, 505, 605, 705	パターン状エッチングストッパー膜
306, 506, 606, 706	第2の層間絶縁膜
307, 507, 607, 707	パターン状第1層間絶縁膜
308, 508, 608, 708	パターン状第2層間絶縁膜

309, 509, 609, 709

第2の配線

402

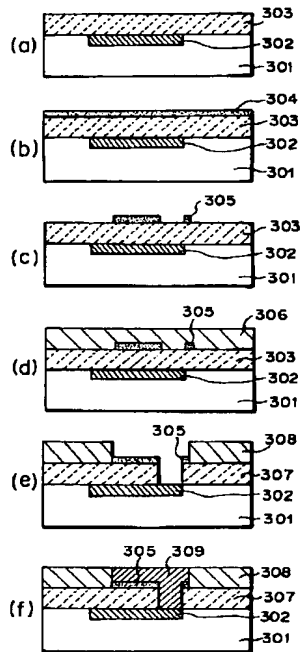
ビア開口領域

401 レチクル

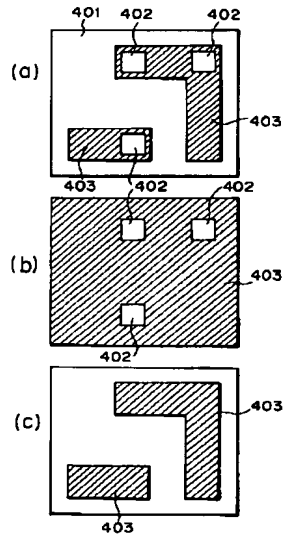
403

配線領域

【図1】



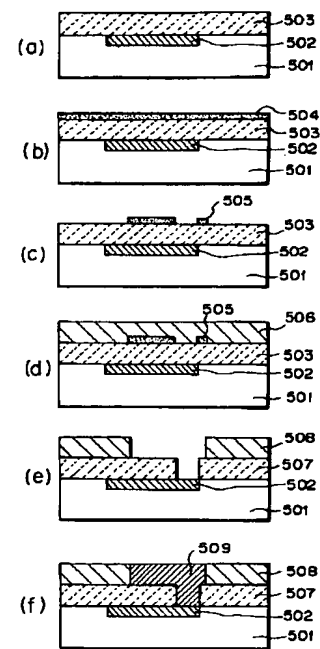
【図2】



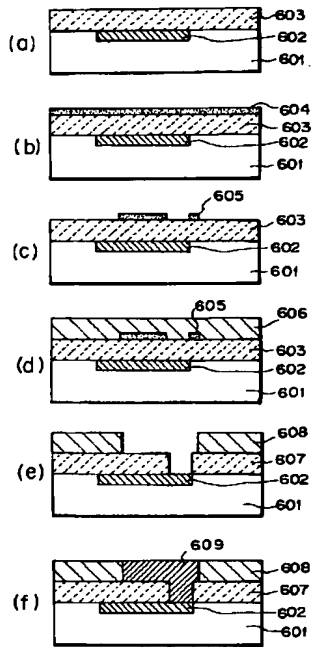
□ ... 透過率大の領域A
(論理値: 0)

■ ... 透過率小の領域B
(論理値: 1)

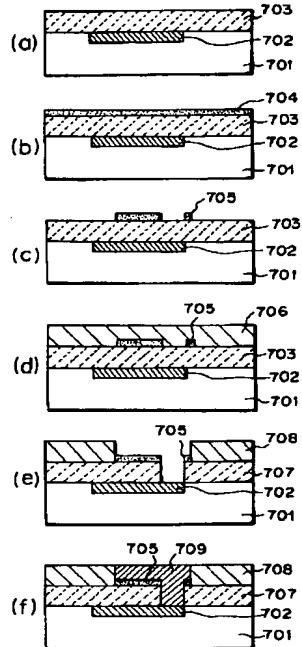
【図3】



【図4】



【図5】



【図6】

